

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-152138

(43)Date of publication of application : 23.05.2003

(51)Int.Cl.

H01L 23/36  
C23C 14/06  
H01L 21/338  
H01L 23/373  
H01L 23/40  
H01L 29/812

(21)Application number : 2001-343811

(71)Applicant : FURUKAWA ELECTRIC CO LTD:THE

(22)Date of filing : 08.11.2001

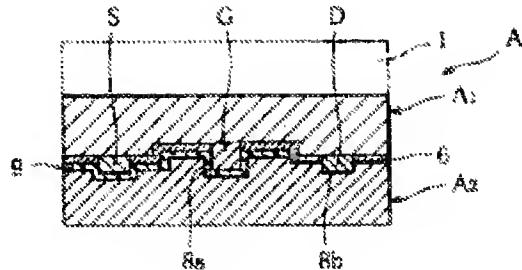
(72)Inventor : YOSHIDA KYOTERU

## (54) SEMICONDUCTOR DEVICE EXCELLENT IN HEAT DISSIPATION

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device capable of driving with a large current by making use of its excellent heat dissipation.

**SOLUTION:** There is provided a semiconductor device excellent in heat dissipation wherein there are joined through an insulating film 9 a surface of a semiconductor device A1 including a plurality of operation electrodes S, G and D formed on the surface and a surface of a heat dissipation substrate A2 including a recessed portion 8a formed on the surface for receiving at least the operation electrodes, and a crystal growing substrate 1 upon manufacturing the semiconductor device A1 is removed.



(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-152138

(P2003-152138A)

(43)公開日 平成15年5月23日(2003.5.23)

(51)Int.Cl'	識別記号	F I	マーク*(参考)
H 01 L 23/36		C 23 C 14/06	A 4 K 0 2 9
C 23 C 14/06		H 01 L 23/40	F 5 F 0 3 6
H 01 L 21/339		23/36	C 5 F 1 0 2
23/373		23/80	B
23/40		23/36	M

審査請求 未請求 開示の数5 OL (全5頁) 最終頁に続く

(21)出願番号 特願2001-343911(P2001-343911)	(71)出願人 000005290 古河電気工業株式会社 京都市千代田区丸の内2丁目6番1号
(22)出願日 平成13年11月8日(2001.11.8)	(72)発明者 吉田 清輝 東京都千代田区丸の内2丁目6番1号 古 河電気工業株式会社内
	(74)代理人 100090022 弁理士 長門 保二

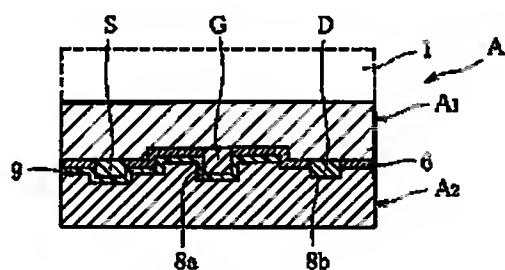
最終頁に続く

## (54)【発明の名称】 放熱性に優れた半導体装置

## (57)【要約】

【課題】 放熱性が優れているので大電流駆動が可能な半導体装置を提供する。

【解決手段】 表面上に複数個の動作電極S, G, Dが形成されている半導体デバイスA<sub>1</sub>のその表面と、表面に少なくとも動作電極を受容する凹部8<sub>a</sub>が形成されている放熱基板A<sub>2</sub>のその表面とを、絶縁膜9を介して接合して成り、かつ、半導体デバイスA<sub>1</sub>製作時の結晶成長用基板1が除去されている放熱性に優れた半導体装置。



(2)

特開2003-152138

1

2

## 【特許請求の範囲】

【請求項1】 表面に複数個の動作電極が形成されている半導体デバイスの前記表面と、表面に少なくとも前記動作電極を受容する凹部が形成されている放熱基板の前記表面とを、絶縁膜を介して接合して成り、かつ、前記半導体デバイス製作時の結晶成長用基板が除去されていることを特徴とする、放熱性に優れた半導体装置。

【請求項2】 前記絶縁膜が、熱伝導性が良好な材料から成る請求項1の、放熱性に優れた半導体装置。

【請求項3】 前記材料がAlNまたはダイヤモンドである請求項2の放熱性に優れた半導体装置。

【請求項4】 前記放熱基板がCuまたはAlから成る請求項1の放熱性に優れた半導体装置。

【請求項5】 前記半導体デバイスが、GaN系半導体材料で形成されている請求項1の放熱性に優れた半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は放熱性に優れた半導体装置に関し、更に詳しくは、放熱性が優れているので大電流駆動が可能であり、電界効果トランジスタ(FET)、ハイポーラトランジスタ(BJT)、ヘテロ接合バイポーラトランジスタ(HBT)、サイリスタ、絶縁ゲートバイポーラトランジスタ(IGBT)、ゲートターンオフトランジスタ(GTO)、ショットキーダイオード、p(+)n接合ダイオードなどに適用可能な構造を備えた半導体装置に関する。

## 【0002】

【従来の技術】 GaN, InGaN, AlInGaNなどのGaN系半導体材料は、例えばGaN系の材料に比べてそのバンドギャップエネルギーが大きく、しかも耐熱度が高く高温動作が優れており、また高周波動作も優れているので、この材料を用いて、GaN系FETの開発研究が進められている。

【0003】 例えは次のようにしてGaN系のFET構造が形成されている。まず、サファイアから成る結晶成長用基板の上に、有機金属化学気相成長法(MOCVD法)やカスソース分子線エピタキシャル成長法(GMBE法)を適用してGaNから成るバッファ層を形成する。ついで、そのバッファ層の上に、厚み2μm程度のアンドープGaN層を形成し、更にその上に、例えはSiをn型ドーパントとすることにより活性層として機能する厚み20nm程度のn-GaN層を形成してスラブ層構造にする。

【0004】 ついで、このスラブ層構造の表面に、例えばプラズマCVD法により、SiO<sub>2</sub>膜を形成したのち、ホトレジストと化学エッチングを適用してパターニングを行い、前記アンドープGaN層の表面にソース電極用とドレイン電極用の開口箇所をそれぞれ形成し、また、前記n-GaN層の表面にゲート電極用の開口箇所

を形成する。

【0005】 そして最後に、ソース電極用とドレイン電極用の開口箇所には、例えはTiやAlなどを蒸着してソース電極とドレイン電極を形成し、またゲート電極用の開口箇所には、例えはPt, Au, Pdなどを蒸着してゲート電極を形成してFET構造にする。したがって、上記したFETは、その表面にソース電極、ドレイン電極、およびゲート電極から成る3個の動作電極が突出した状態で形成されており、また全体の裏面側は各半導体層に比べて厚内のサファイア基板で構成されている。

## 【0006】

【発明が解決しようとする課題】 上記したFETは電流駆動時に発熱する。とくに、大電流駆動時には、その発热量が大きくなるため、FET温度は可成り上昇する。しかしながら、上記したFETでは、その厚みの大半は熱伝導率の低いサファイア基板で占められているため、放熱性は著しく悪い。

【0007】 そのため、発熱はGaN系半導体に基柄されてその温度を高めることになり、最悪の場合、GaN系半導体の熱破壊を引き起こしてFET構造が機能喪失することもある。したがって、上記したFETの場合、大電流駆動を実現させるためには、不可避的に放熱性に優れた構造を形成することが必要になる。

【0008】 本発明は、上記した課題を解決し、放熱性に優れた構造、すなわち大電流駆動が可能である構造になっている半導体装置の提供を目的とする。

## 【0009】

【課題を解決するための手段】 上記した目的を達成するために、本発明においては、表面に複数個の動作電極が形成されている半導体デバイスの前記表面と、表面に少なくとも前記動作電極を受容する凹部が形成されている放熱基板の前記表面とを、絶縁膜を介して接合して成り、かつ、前記半導体デバイス製作時の結晶成長用基板が除去されていることを特徴とする、放熱性に優れた半導体装置が提供される。

【0010】 その場合、前記絶縁膜は、Alまたはダイヤモンドのような熱伝導性が良好な材料から成り、前記放熱基板はCuまたはAlから成ることを好適とする。

## 【0011】

【発明の実施の形態】 半導体デバイスがFETである場合につき、本発明の半導体装置の1例Aを図1に示す。この半導体装置Aは、後述する半導体デバイスA<sub>1</sub>と同じく後述する放熱基板A<sub>2</sub>が絶縁膜9を介して接合され、そして半導体デバイスA<sub>1</sub>の製作時に用いた結晶成長用基板1が除去された構造になっている。

【0012】 半導体デバイスA<sub>1</sub>の接合側表面には、ソース電極S、ゲート電極G、およびドレイン電極Dから成る動作電極が突出して形成されていて、同時に残りの表面は例えはSiO<sub>2</sub>膜6で被覆されている。一方、放

(3)

特開2003-152138

3

熱基板A<sub>1</sub>の接合側表面は、半導体デバイスA<sub>1</sub>の接合側表面とネガーポジの関係にある凹凸形状になっている。具体的には、少なくとも前記動作電極の位置に対応する表面箇所には、当該動作電極の表面視形状と相似形をなし、かつ若干大きめの凹部8aが形成されている。

【0013】そして、半導体デバイスA<sub>1</sub>と放熱基板A<sub>2</sub>との各接合側表面のうち、少なくとも動作電極が位置している箇所には絶縁膜9が介在していて、動作電極の相互間における絶縁がとられている。したがって、この半導体装置Aの場合、半導体デバイスA<sub>1</sub>からは放熱性の悪いサファイア基板1が除去され、また動作電極が位置する表面には放熱基板A<sub>2</sub>が接合されているので、全体としての放熱性は優れている。すなわち、発熱が大きくなる大電流駆動を行うことができる。

【0014】この半導体装置Aは次のようにして製造することができる。まず、半導体デバイスの製作について説明する。図2で示したように、結晶成長用の基板であるサファイア基板1の上に、例えばGaNから成るバッファ層2、アンドープGaN層3、例えばアンドープAlGaNから成る活性層4、および例えればSiドープn-GaNから成るコンタクト層5を順次成膜してスラブ層構造体A<sub>1</sub>-1を製作する。

【0015】ついで、このスラブ層構造体A<sub>1</sub>-1の表面に、例えば熱化学堆積法でSiO<sub>2</sub>膜を形成し、そのSiO<sub>2</sub>膜にフォトリソグラフィーとドライエッチングを行い、ゲート電極を形成すべき活性層4の表面4aを表出させたのちSiO<sub>2</sub>膜を全て除去し、図3で示したように中間体A<sub>1</sub>-2を製作する。ついで、中間体A<sub>1</sub>-2の全面に再びSiO<sub>2</sub>膜6を成膜する。そして、動作電極の形成に移る。

【0016】まず、コンタクト層5の上のSiO<sub>2</sub>膜6にフォトリソグラフィーとフッ酸を用いたウェットエッチングを行って、ソース電極用とドレイン電極用の開口をそれぞれ形成してコンタクト層5の表面を表出させたのち、そこに例えればスピッカ法でAl、Ti、Auを順次堆積してコンタクト層5とオーミック接合する所定形状のソース電極Sとドレイン電極Dを形成する。また、例えれば真空蒸着法でTa-Siなどのオーミック電極材料を堆積して電極形成を行ってもよい。

【0017】ついで、表面にリフトオフを施したのち、上記と同様にしてゲート電極を形成すべき箇所のSiO<sub>2</sub>膜6に開口を形成したのち、そこにゲート電極Gを形成する。なお、ゲート電極Gの構成材料としては、例えはNi、Pt、Pd、Ti、Au、W、Ta、またはこれら材料を組み合わせたもの、およびSiを含むシリサイド系合金などを用いることができる。

【0018】このようにして、図4で示したように、図1で示した半導体デバイスA<sub>1</sub>の母材であるGaN系FET A<sub>1</sub>-3が得られる。このFET A<sub>1</sub>-3の表面a<sub>1</sub>には所定の平面視形状をしたソース電極S、ドレイ

4

ン電極D、ゲート電極Gなどから成る動作電極が突出形成され、全体としては凹凸形状になっている。そして背面側はサファイア基板1のままになっている。

【0019】次に放熱基板A<sub>2</sub>の製作について説明する。まず、熱伝導率が大きく、放熱性の優れた材料から成る平板を用意する。具体的には、Cu、Al、Fe、ステンレス鋼などの金属平板や、AlN、シリコニア、ダイヤモンドライカーボン、またはダイヤモンドなどの板が好適である。この平板7の表面にフォトレジストを塗布してパターニングを行ったのちエッチングを行い、図5で示したように、前記した中間材A<sub>1</sub>-3の表面a<sub>1</sub>の凹凸形状とネガーポジの関係にある凹凸形状の表面を有する中間材A<sub>1</sub>-1を製作する。

【0020】なお、このときに形成される凹凸形状は、次の工程でここに絶縁膜を形成したのち図4で示した半導体デバイスA<sub>1</sub>の凹凸表面a<sub>1</sub>と接合させることとの關係で、当該絶縁膜を形成してもそこに半導体デバイスA<sub>1</sub>の凹凸表面a<sub>1</sub>を受容できるように設定される。例えばゲート電極を受容する凹部8aは当該ゲート電極の平面視形状より若干大きめに形成し、また深さも若干深く形成する。

【0021】ついで、この中間材A<sub>1</sub>-1の表面に例えればスピッカ法で絶縁膜の材料を被覆せしめて所望厚みの絶縁膜9を成膜したのち、例えればリフトオフやドライエッチングを行い、必要としない箇所の絶縁膜部分を除去して、図6で示した凹凸表面a<sub>1</sub>を有する中間材A<sub>1</sub>-2を製作する。この中間材A<sub>1</sub>-2は、ドレイン電極を受容する凹部8bには絶縁膜を形成していない事例であり、ドレイン電極は放熱基板に直接接触することになる。当動作電極間の絶縁をとることができさえすれば、ゲート電極を受容する凹部8a、ソース電極を受容する凹部8cのそれぞれには絶縁膜を形成しなくてもよい。

【0022】絶縁膜9の材料としては、電気絶縁性であることは必須要件であるが、その上で熱伝導率が大きい材料であることが好ましい。半導体デバイスA<sub>1</sub>の発熱に対する放熱効果を高めることができるからである。このような材料としては、例えはAlN、ダイヤモンド、TaO<sub>x</sub>のような金属系酸化物、TiNのような金属系窒化物などをあげることができる。

【0023】ついで、図7で示したように、図4で示した中間材A<sub>1</sub>-3の表面a<sub>1</sub>と上記中間材A<sub>1</sub>-2の表面a<sub>2</sub>とを対向配置する。そして、例えればはんだを用いて両表面a<sub>1</sub>、a<sub>2</sub>を接合して中間材A<sub>1</sub>-3と中間材A<sub>1</sub>-2を合体し、図8で示したような中間材A<sub>1</sub>にする。そして最後に、中間材A<sub>1</sub>のサファイア基板1に対して例えればレーザ照射を行う。その結果、サファイア基板1が剥離除去されて、図1で示した本発明の半導体装置Aが得られる。

【0024】なお、上記した説明では、放熱基板として金属基板を用いる事例を示したが、金属基板に代えて、

(4)

特開2003-152138

5

例えばA1N、ダイヤモンドのように、遮光遮断性であると同時に熱伝導率が大きい絶縁基板を用いることもできる。このような絶縁基板を用いれば、その表面を加工して、その表面を直接図4で示した中間材A<sub>1</sub>-3の表面a<sub>1</sub>と接合させることができる。すなわち、図6で示した中間材A<sub>2</sub>-2の場合のような、表面に絶縁膜9を形成することが不要になる。

【0025】また、中間材A<sub>1</sub>のサファイア基板1を除去する方法としては、上記したレーザ照射の外に、機械的研磨法や、化学的エッティングと組み合わせた研磨法(CMP)などを適用することもできる。

【0026】

【発明の効果】以上の説明で明らかかなように、本発明の半導体装置は、放熱性の悪い結晶成長用の基板が除去されていて、しかも動作時側には放熱基板が接合された構造になっているので、電流駆動時の発熱に対する放熱性が優れています。換言すれば、大電流駆動が可能な構造になっている。

【図面の簡単な説明】

【図1】本発明の半導体装置の1例Aを示す断面図である。

【図2】装置Aの製作時における中間材A<sub>1</sub>-1を示す断面図である。

10

\* 【図3】装置Aの製作時における中間材A<sub>1</sub>-2を示す断面図である。

【図4】装置Aの製作時における中間材A<sub>1</sub>-3を示す断面図である。

【図5】装置Aの製作時における中間材A<sub>2</sub>-1を示す断面図である。

【図6】装置Aの製作時における中間材A<sub>2</sub>-2を示す断面図である。

【図7】中間材A<sub>1</sub>-3の表面a<sub>1</sub>と中間材A<sub>2</sub>-2の表面a<sub>2</sub>を対向配置した状態を示す断面図である。

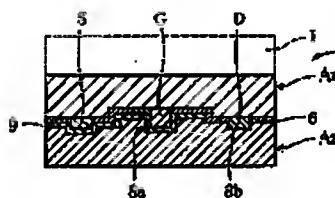
【図8】中間材A<sub>1</sub>を示す断面図である。

【符号の説明】

1	結晶成長用基板(サファイア基板)
2	バッファ層
3	ノンドープGaN層
4	活性層
4a	活性層の表面
5	コンタクト層
6	SiO <sub>2</sub> 膜
7	金属平板
8a, 8b	凹部
9	絶縁膜

\*

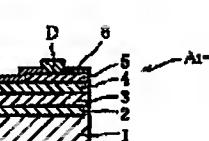
【図1】



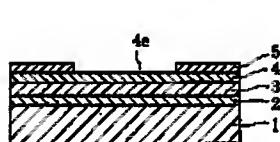
【図2】



【図4】



【図3】



【図5】



【図6】



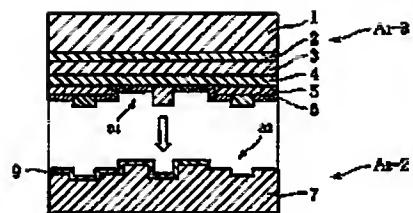
【図8】



(5)

特開2003-152138

【図7】



フロントページの続き

(51)Int.Cl.'

識別記号

F I

フロート(参考)

H01L 29/812

Fターム(参考) 4K029 AA04 BA58 BG05 BD01 CA05  
5F036 AA01 BB08 BB21 BC06 BD01  
BD03  
5F102 FA00 FA02 GJ10 GK04 GL04  
GN04 GR04 GT03 GT05 GV07  
HC11 HC15 HC19